

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-80899

⑬ Int. Cl.⁴
G 11 C 17/00

識別記号 庁内整理番号
3 0 9 6549-5B

⑭ 公開 昭和62年(1987)4月14日

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭60-222086

⑰ 出 願 昭60(1985)10月4日

⑱ 発 明 者 寺 田 康 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
⑱ 発 明 者 小 林 和 男 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
⑱ 発 明 者 中 山 武 志 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
⑲ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

行方向および列方向に沿って配列された複数の
のメモリセルからなるメモリセルアレイを備え、
行ごとに一括して情報の書き込みを行ない、ランダムに情報の読出しを行なう半導体記憶装置であつて、

前記メモリセルアレイの或る列のメモリセルが
リファレンスメモリセルとして用いられ、

前記メモリセルアレイの或る行に情報の書き込みを行なうときには、この行に属する前記リファレンスメモリセルにも同時に書き込みを行ない、

前記メモリセルアレイから情報を読出す時には、情報の読出されるメモリセルと同じ行の前記リファレンスメモリセルの記憶内容を読出し、

前記メモリセルアレイの或るメモリセルから読出された情報と、同じ行の前記リファレンスメモ

リセルから読出された記憶内容とを比較する比較手段を備える半導体記憶装置。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は半導体記憶装置に関し、特に電気的に消去可能な不揮発性半導体メモリ(EEPROM)に関するものである。

[従来の技術]

第2図は、従来のEEPROMの構成を示す図である。初めにこの構成について説明する。メモリセルアレイ100は行方向および列方向に配列される複数の1バイトのメモリセル101から構成される。メモリセル101は、選択トランジスタ49と、8個の選択トランジスタ50a、…50hと、8個のメモリトランジスタ52a、…52hとから構成される。各メモリセル101において、選択トランジスタ49のソースはメモリトランジスタ52a、…52hの各コントロールゲートに接続され、選択トランジスタ50a、…50hの各ソースはメモリトランジスタ52a、

…52hの各ドレインに接続される。メモリトランジスタ52a, …52hの各ソースは共通に接続され、選択トランジスタ59を介して接地される。Xデコーダ+高圧スイッチ48は複数本のワード線77により行ごとに各行の選択トランジスタ49および50a, …50hの各ゲートに接続される。Xデコーダはメモリセルアレイ100の行を選択する。高圧スイッチは選択された1本のワード線を高圧 V_{pp} に立ち上げる。Yデコーダ42は複数本のYゲート線74により各列の選択トランジスタ43および44a, …44hの各ゲートに接続される。Yデコーダ42はメモリセルアレイ100の列を選択する。各列の選択トランジスタ43のソースはコントロールゲート線75を介して各列の選択トランジスタ49のドレインに接続されるとともにコラムラッチ+高圧スイッチ60に接続される。また、各列の選択トランジスタ44a, …44hの各ソースはビット線76を介し各列の選択トランジスタ50a, …50hの各ドレインに接続されるとともにコラムラッチ

+高圧スイッチ60に接続される。コラムラッチは、1本のワード線により選択される行に一度にデータを蓄込むために蓄みたいデータを一時ラッチする。コラムラッチ+高圧スイッチ60の高圧スイッチはビット線を高圧 V_{pp} に立ち上げる。入力バッファ回路35に“1”と“0”の組合わせからなる蓄込むデータが入力される。蓄込回路36は入力データの“1”に対応して“L”レベルの0Vを、“0”に対応して“H”レベルの5V(V_{cc})を出力する。蓄込回路36は選択トランジスタ37a, …37h, 41の各一方側電極に接続される。選択トランジスタ37a, …37hの各他方側電極はI/O線70を介して各列の選択トランジスタ44a, …44hの各ドレインに接続され、選択トランジスタ41の他方側電極はコントロール線73を介して各列の選択トランジスタ43のドレインに接続される。定電圧源28は選択トランジスタ30を介してコントロール線73に接続される。定電圧源28は、メモリトランジスタ52a, …52hのプログラム状態

のしきい値電圧と消去状態のしきい値電圧の中間電圧である V_{ref1} を発生する。各列の各メモリトランジスタ52a, …52hに対応して8個のセンスアンプ23a, …23hが設けられている。センスアンプ23aは電流-電圧変換回路20aと差動増幅器21aと電流-電圧変換回路22aとから構成されており、他のセンスアンプについても同様である。電流-電圧変換回路20a, …20hはそれぞれ選択トランジスタ32a, …32hを介してI/O線70に接続される。リファレンスメモリセルアレイ102は選択トランジスタ80, 81, 82とメモリトランジスタ83とから構成される。選択トランジスタ80, 81, 82の各ゲートは端子200に接続され、メモリトランジスタ83のコントロールゲートは定電圧源29に接続される。リファレンスメモリセル102のメモリトランジスタ83はメモリセル101のメモリトランジスタ52a, …52hと全く同一の構造、ディメンジョンである。リファレンスメモリセル102のメモリトランジスタ83は

EEPROMの製造時のテスト時にプログラムされる。定電圧源29は、メモリトランジスタ83のプログラム状態のしきい値電圧と消去状態のしきい値電圧の中間電圧である定電圧 V_{ref2} を発生する。20a, …20hおよび22a, …22hは入力される電流を電圧に変換する。差動増幅器21a, …21hはそれぞれ入力される電圧を比較しその差を増幅する。

第3図は、第2図のメモリトランジスタの構造を示す断面図である。図において、p形基板1上にn⁺形ドレイン2およびn⁺形ソース3が互いに間隔を隔てて形成されている。n⁺形ドレイン2上、p形基板1上およびn⁺形ソース3上にゲート酸化膜4が形成されており、このゲート酸化膜上にポリシリコンからなるフローティングゲート5が形成されている。フローティングゲート5はn⁺形ドレイン2上部で凹部を有しており、この凹部下でゲート酸化膜4が薄くなってトンネル酸化膜8を形成している。また、フローティングゲート5上にポリ-ポリ間酸化膜6が形成されて

おり、このポリ-ポリ間酸化膜上にポリシリコンからなるコントロールゲート7が形成されている。

メモリトランジスタへの情報の書込みは、フローティングゲート5に電子を注入したり、フローティングゲート5から電子を除去することによって行なう。この電子の注入、除去は、フローティングゲート5とn⁺形ドレイン2との間でトンネル酸化膜8を通じて行なう。フローティングゲート5に電子を注入するときは、コントロールゲート7に高圧を印加し、n⁺形ドレイン2を接地することによって行なう。この動作を消去と呼ぶ。また、フローティングゲート5から電子を除去するときは、n⁺形ドレイン2に高圧を印加しコントロールゲート7を接地することによって行なう。この動作をプログラムと呼ぶ。情報の読出しは、コントロールゲート7に、メモリトランジスタのプログラム状態のしきい値電圧と消去状態のしきい値電圧の中間の電圧を印加する。メモリトランジスタが消去されていると、n⁺形ドレイン2からn⁺形ソース3へは電流が流れない。また、メ

モリトランジスタがプログラムされていると、n⁺形ドレイン2からn⁺形ソース3へ電流が流れる。これをセンスアンプで検知する。

次に、このEEPROMの動作について説明する。この動作は、外部書込サイクル→内部書込サイクル(消去サイクル→プログラムサイクル)→読出サイクルという順で行なわれる。外部書込サイクルは書込みたいデータを入力するサイクルであり、このサイクルでは入力データはメモリセルに書込まれるのではなくコラムラッチにラッチされる。プログラムサイクルはデータをメモリセルに書込むサイクルであり、ここでは、プログラム時間を短縮することができるページモードプログラム方式、すなわちデータを一時コラムラッチにラッチし、このラッチしたデータを1本のワード線に接続されるメモリセルに一度に書込む方式をとっている。

さらに詳細に説明すると、まず、外部書込サイクルが始まる。入力バッファ回路35に“1”と“0”の組合わせからなる1バイトのデータが入

力されると、書込回路36は、“1”に対応して“L”レベルの電圧0V、“0”に対応して“H”レベルの電圧5V(V_{cc})を発生する。また、このとき書込回路36はコントロールゲート線75に与えるための“H”レベルの電圧5V(V_{cc})を発生する。次に、Wが“H”レベルとなって選択トランジスタ37a、…37h、41がオンし、I/O線70の各線には“1”、“0”に対応して0V、5Vが与えられ、コントロール線73には5Vが与えられる。次に、Yデコーダ42により複数本のYゲート線74のうちの或る1本のYゲート線が“H”レベルとなり、このYゲート線に接続される或る列の選択トランジスタ43、44a、…44hがオンする。このため、I/O線70に与えられた電圧0V、5Vは選択された列のビット線76を介してコラムラッチ+高圧スイッチ60に与えられ、このコラムラッチのビットにはデータ“1”、“0”に対応してそれぞれ“1”、“0”がラッチされる。また、コントロール線73に与えられた電圧5Vは選択され

た列のコントロールゲート線75を介してコラムラッチ+高圧スイッチ60に与えられ、このコラムラッチのビットには“H”レベルがラッチされる。このような動作を繰返すことにより、入力バッファ回路35から次々に入力される1バイトのデータがコラムラッチの所定のビットに順次ラッチされる。なお、この外部書込サイクルでは48の出力はない。

次に、消去サイクルが始まる。このサイクルはメモリセルに“1”を書込むサイクルである。まず、Xデコーダにより複数本のワード線77のうちの或る1本のワード線が“H”レベルとなる。さらに高圧スイッチにより高圧V_{pp}に立上げられる。次に、コントロールゲート線75のうち、コラムラッチのコントロールゲート線用ビットに“H”レベルがラッチされている列のコントロールゲート線が高圧スイッチにより高圧V_{pp}に立上げられ、メモリトランジスタ52a…52hのコントロールゲートに高圧V_{pp}が印加される。また、複数本のビット線76のうち、コラムラッ

チのビット線用ビットに“H”レベルがラッチされているビット線が0Vにされ、このビット線に接続されているメモリトランジスタの n^+ 形ドレイン2が接地される。またこのとき、Rは“H”レベルとなって選択トランジスタ59はオンし、メモリトランジスタ52a, …52hの各 n^+ 形ソース3は接地される。これによって、 n^+ 形ドレイン2から電子がトンネル酸化膜8をトンネルしてフローティングゲート5に蓄積され、メモリトランジスタのコントロールゲート7から見たしきい値電圧は高い方にシフトする。このようにして、選択された行のうちデータを書込みたいメモリセルのメモリトランジスタに“1”が書込まれ、メモリセルの消去が行なわれる。

次に、プログラムサイクルが始まる。このサイクルはコラムラッチにラッチされたデータのうち“0”のビットについてメモリセルに“0”を書込むサイクルである。まず、Xデコーダにより複数本のワード線77のうち上記消去サイクルで選択された1本のワード線が“H”レベルとなり、

ンジスタのコントロールゲート7から見たしきい値電圧は低い方にシフトする。このようにして、選択された行のうち、データを書込みたいメモリトランジスタに“0”がページ書込みされる。

次に、読出サイクルが始まる。Xデコーダにより或る1本のワード線が“H”レベルとなり、このワード線に接続される各メモリセルの選択トランジスタ49, 50a, …50hがオンし、Yデコーダ42により或る1本のYゲート線が“H”レベルとなり、このYゲート線に接続される選択トランジスタ43, 44a, …44hがオンして、メモリセルアレイ100から或るメモリセルが選択される。このとき、Rが“H”レベルとなって選択トランジスタ30がオンし、定電圧線28が選択トランジスタ30, コントロール線73, 選択トランジスタ43, 49を介してメモリトランジスタ52a, …52hのコントロールゲート7に接続され、 V_{ref1} がこのコントロールゲート7に印加される。また、センスアンプ23a, …23hの各電流-電圧変換回路20a, …20h

さらに高圧スイッチにより高圧 V_{pp} に立上げられる。次に、コントロールゲート線75のうち、コラムラッチのコントロールゲート線用ビットに“H”がラッチされている列のコントロールゲート線が0Vにされ、メモリトランジスタ52a, …52hのコントロールゲート7が接地される。また、複数本のビット線76のうち、コラムラッチのビット線用ビットに“0”のラッチされているビット線が高圧スイッチにより高圧 V_{pp} に立上げられてメモリトランジスタの n^+ 形ドレイン2に高圧 V_{pp} が印加され、複数本のビット線76のうち、コラムラッチのビット線用ビットに“1”のラッチされているビット線が0Vにされる。また、このときRは“L”レベルとなって選択トランジスタ59はオフし、メモリトランジスタ52a, …52hの各 n^+ 形ソース2はフローティング状態にされる。これによって、フローティングゲート5から電子がトンネル酸化膜8をトンネルして n^+ 形ドレイン2に移動してフローティングゲート5から電子が除去され、メモリトラ

はそれぞれ選択トランジスタ32a, …32h, 1/0線70, さらに選択トランジスタ44a, …44h, ビット線76, …選択トランジスタ50a, …50hを介してメモリトランジスタ52a, …52hの n^+ 形ドレイン2に接続される。このとき、Rは“H”レベルとなって選択トランジスタ59はオンし、メモリトランジスタ52a, …52hの各 n^+ 形ソース3は接地される。このとき、メモリトランジスタ52a, …52hのコントロールゲート7に印加される定電圧 V_{ref1} はメモリトランジスタのプログラム状態のしきい値電圧と消去状態のしきい値電圧との中間電圧であるので、メモリトランジスタのしきい値電圧が高い状態、すなわち消去の状態であると、メモリトランジスタはオフして1/0線70に電流は流れず、電流-電圧変換回路20a, …20hの出力側に電圧 V_{n1} が出る。また、メモリトランジスタのしきい値電圧が低い状態、すなわちプログラム状態であるとメモリトランジスタはオンして1/0線70に電流が流れ、この電流は選択トラン

ジスタ32a, …32hを介して各電流-電圧変換回路20a, …20hに与えられて電圧 V_{n0} に変換される。一方、リファレンスメモリセル102のメモリトランジスタ83は、上述したようにEEPROMの製造時のテスト時にプログラムされているので、メモリトランジスタ83のコントロールゲート7に定電圧源29により定電圧 V_{ref2} を印加し、選択トランジスタ80, 81, 82の名ゲートに端子200より電圧 V_{cc} を印加すると、メモリトランジスタ83, 選択トランジスタ80, 81, 82がオンしてメモリトランジスタ83のn⁺形ドレイン2から各電流-電圧変換回路22a, …22hに電流が流れ、この電流は電流-電圧変換回路22a, …22hで電圧 V_{n1} に変換される。この電圧 V_{n1} は、定電圧源28, 電流-電圧変換回路20, …20h, 電流-電圧変換回路22a, …22h, 定電圧源29の特性を相互間で調整することによって V_{n0} と V_{n1} の間に予め設定されており、差動増幅器21a, …21hは V_{n0} , V_{n1} と V_{cc} とを比較し、

電流-電圧特性とリファレンスメモリセルのメモリトランジスタのプログラム状態の電流-電圧特性は各行において一致する必要があるが、従来のEEPROMでは、8個のセンスアンプに共通に1個のリファレンスメモリセルしか設けられていないため、第4図のようなばらつきがあると、或る行の読出しでは V_{n1} が V_{n0} と V_{n1} の間にあったとしても、他の行の読出しでは V_{n1} が V_{n0} と V_{n1} の間に来ない場合があり、このため、 V_{n1} をプログラム状態と読出ししたり、 V_{n0} を消去状態と読出ししたりして、誤読出しをするという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、情報を正確に読出すことができる半導体記憶装置を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係る半導体記憶装置は、メモリセルアレイに行ごとに一括して情報の書込みを行ない、メモリセルアレイからランダムに情報の読出しを行なう半導体記憶装置において、メモリセルア

レの或る別のメモリセルをリファレンスメモリセルとして用い、メモリセルアレイの或る行に情報の書込みを行なうときには、この行に属するリファレンスメモリセルにも同時に書込みを行ない、メモリセルアレイから情報を読出すときには、情報の読出されるメモリセルと同じ行のリファレンスメモリセルの記憶内容を読出し、メモリセルアレイの或るメモリセルから読出された情報と、同じ行のリファレンスメモリセルから読出された記憶内容とを比較するようにしたものである。

〔作用〕

第4図は、従来のEEPROMにおけるメモリトランジスタのプログラム状態および消去状態の電流-電圧特性を示す図である。図において、縦軸はドレインソース間電流を、横軸はコントロールゲート-ソース間電圧を表わしている。内部書込サイクルにおいて行ごとにメモリトランジスタにプログラムする場合、高圧スイッチの高圧 V_{pp} の変動によりフローティングゲートから除去される電子の数に変動が生じ、メモリトランジスタのプログラム状態の電流-電圧特性は、或る基準状態を10とすると、行間で11, 12のようにばらつきが生じる。また、このばらつきはプログラムを繰返すことによっても生じる。9はメモリトランジスタの消去状態の電流-電圧特性を表わす。

メモリトランジスタの正確な読出しには、メモリセルのメモリトランジスタのプログラム状態の

この発明においては、メモリセルの或る行に情報を書込むときには、この行に属するリファレンスメモリセルにも同時に書込みを行ない、メモリセルアレイから情報を読出すときには、情報の読出されるメモリセルと同じ行のリファレンスメモリセルの記憶内容を読出し、メモリセルアレイの或るメモリセルから読出された情報と、同じ行のリファレンスメモリセルから読出された記憶内容とを比較するようにしたものである。

〔作用〕

この発明においては、メモリセルの或る行に情報を書込むときには、この行に属するリファレンスメモリセルにも同時に書込みを行ない、メモリセルアレイから情報を読出すときには、情報の読出されるメモリセルと同じ行のリファレンスメモリセルの記憶内容が読出されるので、行ごとに書込状態の電流-電圧特性にばらつきがあっても誤読出しが生じない。

〔実施例〕

以下、この発明の実施例を図について説明する。なお、この実施例の説明において、従来の技術の説明と重複する部分については適宜その説明を省略する。

第1図は、この発明の実施例である半導体記憶装置の構成を示す図である。初めにこの装置の構成について説明する。この実施例の構成が第2図の構成と異なる点は以下の点である。すなわち、リファレンスメモリセル102が取り除かれ、メモリセルアレイ100の右端の1列がリファレンスメモリセルアレイ103として用いられる。このリファレンスメモリセルアレイは行ごとに配列される複数のリファレンスメモリセル104から構成される。各リファレンスメモリセル104は、選択トランジスタ55、56と、メモリトランジスタ57とから構成される。リファレンスメモリセル104のメモリトランジスタ57は、メモリセル101のメモリトランジスタ52a、…52hと全く同一の構造、ディメンジョンである。各リファレンスメモリセル104において、選択

トランジスタ55のソースは選択トランジスタ57のコントロールゲートに接続され、選択トランジスタ56のソースは選択トランジスタ57のドレインに接続され、選択トランジスタ57のソースは選択トランジスタ59を介して接地される。各リファレンスメモリセル104の選択トランジスタ55、56の各ゲートは各行のワード線に接続される。書込回路36は、選択トランジスタ39、リファレンス信号線71、選択トランジスタ47を介して選択トランジスタ56のドレインに接続されるとともにコラムラッチ+高圧スイッチ60に接続される。また、書込回路36は選択トランジスタ40、リファレンス信号線72、選択トランジスタ46を介して選択トランジスタ55のドレインに接続されるとともにコラムラッチ+高圧スイッチ60に接続される。定電圧源29は選択トランジスタ31を介してリファレンス信号線72に接続される。定電圧源29はメモリトランジスタ57のプログラム状態のしきい値電圧と消去状態のしきい値電圧の中間電圧である V_{ref}

2を発生する。センスアンプ23aは電流-電圧変換回路20aと差動増幅器21aと電流-電圧変換回路22とから構成されており、他のセンスアンプについても同様である。電流-電圧変換回路22は選択トランジスタ34を介してリファレンス信号線71に接続される。電流-電圧変換回路22は入力される電流を電圧に変換する。

次にこの装置の動作について説明する。外部書込サイクルの後、メモリセルとリファレンスメモリセルの消去サイクルが始まる。リファレンスメモリセルの消去はメモリセルの消去と同時に進行される。すなわち、Xデコーダにより1本のワード線が高圧 V_{pp} に立上げられて選択トランジスタ55、56がオンし、選択されたメモリセル101と同じ行のリファレンスメモリセル104が選択される。次に、高圧スイッチにより選択トランジスタ55のコントロールゲートに高圧 V_{pp} が印加され、メモリトランジスタ57のドレインが接地される。このとき、端子201も接地される。このようにして、選択された行のリファレン

スメモリセル104に“1”が書込まれてリファレンスメモリセル104の消去が行なわれる。

次にプログラムサイクルが始まる。リファレンスメモリセルへのプログラムはメモリセルのプログラムと同時に進行される。すなわち、消去サイクルで選択された1本のワード線が高圧 V_{pp} に立上げられて選択トランジスタ55、56がオンし、選択されたメモリセル101と同じ行のリファレンスメモリセル104が選択される。次に、選択トランジスタ55のコントロールゲートが接地され、メモリトランジスタ57のドレインに高圧スイッチにより高圧 V_{pp} が印加される。このとき、メモリトランジスタ57のソースはフローティング状態にされ、端子201は接地される。このようにして、選択された行のリファレンスメモリセル104に“0”が書込まれる。

次に読出サイクルが始まる。リファレンスメモリセルの読出しは、メモリセルの読出しと同時に進行される。すなわち、Xデコーダにより或る1本のワード線が“H”レベルとなってこのワード

線に接続される選択トランジスタ55、56がオンし、選択されたメモリセル101と同じ行のリファレンスメモリセル104が選択される。このとき、Rが“H”レベルとなって選択トランジスタ31、34がオンし、端子201に電圧 V_{cc} が与えられて選択トランジスタ46、47がオンし、定電圧源29が選択トランジスタ31、リファレンス信号線72、選択トランジスタ46、55を介してメモリトランジスタ57のコントロールゲートに接続されて定電圧 V_{ref} 2がこのコントロールゲートに印加され、センスアンプ23a、…23hの電流-電圧変換回路22が選択トランジスタ34、47、56を介してメモリトランジスタ57のドレインに接続される。また、このときメモリトランジスタ57のソースは接地される。メモリトランジスタ57のコントロールゲートに印加される電圧 V_{ref} 2はメモリトランジスタのプログラム状態のしきい値電圧と消去状態のしきい値電圧の中間の電圧であるので、メモリトランジスタ57のしきい値電圧が低い状態、すなわち

プログラム状態であると、メモリトランジスタ57のドレインから電流-電圧変換回路22に電流が流れ、この電流は電流-電圧変換回路22で電圧 V_n に変換される。この電圧 V_n は、定電圧源28、29、電流-電圧変換回路20a、…20h、電流-電圧変換回路22の特性を相互間で調整することによって電圧 V_{n0} と電圧 V_{n1} の間に設定されており、差動増幅器21a、…21hは電圧 V_{n0} 、 V_{n1} と電圧 V_{ref} とを比較し、これら電圧間の差を増幅することによって、メモリセルからの情報を読出す。

このように、ワード線ごとにリファレンスメモリセルを設け、ワード線ごとにセンスアンプのリファレンスレベルを調整することができるようにしたので、たとえ内部偏流サイクルにおいて行ごとにメモリトランジスタのプログラム状態の電流-電圧特性が変動しても、誤読出しは発生しなくなる。

[発明の効果]

以上のようにこの発明によれば、メモリセルアレイの或る行に情報の書き込みを行なうときには、この行に属するリファレンスメモリセルにも同時に書き込みを行ない、メモリセルアレイから情報を読出すときには、情報の読出されるメモリセルと同じ行のリファレンスメモリセルの記憶内容を読出し、メモリセルアレイの或るメモリセルから読出された情報と、同じ行のリファレンスメモリセルから読出された記憶内容とを比較するようにしたので、メモリセルから情報を正確に読出すことができる半導体記憶装置を得ることができる。

4. 図面の簡単な説明

第1図は、この発明の実施例である半導体記憶装置の構成を示す図である。

第2図は、従来のEEPROMの構成を示す図である。

第3図は、メモリトランジスタの構造を示す断面図である。

第4図は、メモリトランジスタのプログラム状態および消去状態の電流-電圧特性を示す図であ

る。

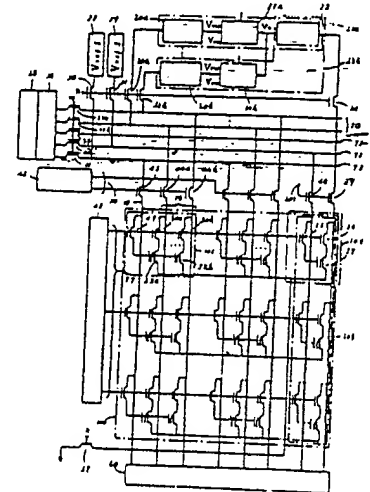
図において、1はp形基板、2はn⁺形ドレイン、3はn⁺形ソース、4はゲート酸化膜、5はフローティングゲート、6はポリ-ポリ門酸化膜、7はコントロールゲート、8はトンネル酸化膜、20a、…20h、22は電流-電圧変換回路、21a、…21hは差動増幅器、23a、…23hはセンスアンプ、28、29は定電圧源、30、31、32a、…32h、34、37a、…37h、39、40、41、43、44a、…44h、46、47、49、50a、…50h、55、56、59は選択トランジスタ、52a、…52h、57はメモリトランジスタ、35は入力バッファ回路、36は書込回路、42はYデコーダ、48はXデコーダ+高圧スイッチ、60はコラムラッチ+高圧スイッチ、70はI/O線、71、72はリファレンス信号線、73はコントロール線、74はYゲート線、75はコントロールゲート線、76はビット線、77はワード線、100はメモリセルアレイ、101はメモリセル、103はリ

(54) SEMICONDUCTOR STORAGE DEVICE
 (11) 62-80899 (A) (43) 14.4.1987 (19) JP
 (21) Appl. No. 60-222086 (22) 4.10.1985
 (71) MITSUBISHI ELECTRIC CORP (72) YASUSHI TERADA(2)
 (51) Int. Cl. G11C17/00

PURPOSE: To read accurately information from a memory cell by writing information on a reference memory cell of a row at the same time in writing the information on the row of a memory cell array and comparing both the storage contents at reading.

CONSTITUTION: A 1-byte page is latched by a column latch + high voltage switch 60 in response to data of a row stored in an input buffer circuit 3 at an external write cycle in an EEPROM. Data 1, 0 are written on a memory cell 101 corresponding to each cycle of an erasure/write program successively and the data is written on a cell 104 of the row. Then a reference voltage at reading is outputted from a current-voltage converter 22 in common to sense amplifiers 23a~23b in response to the content of the cell 104 of the corresponding row and the content of the cell 101 is read via differential amplifiers 21a~21b of amplifiers 23a~23b of the corresponding row. The cell 104 is provided at each row, the data is read accurately without being affected by variation in characteristic of components at each row.

10a, 10b: delay



20a, 20k: current-voltage conversion circuit 16: write circuit